

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-199610

(43)Date of publication of application : 31.07.1997

(51)Int.Cl.

H01L 21/8238

H01L 27/092

H01L 21/28

H01L 29/78

(21)Application number : 08-021254

(71)Applicant : SONY CORP

(22)Date of filing : 07.02.1996

(72)Inventor : TAJIMA KAZUHIRO

(30)Priority

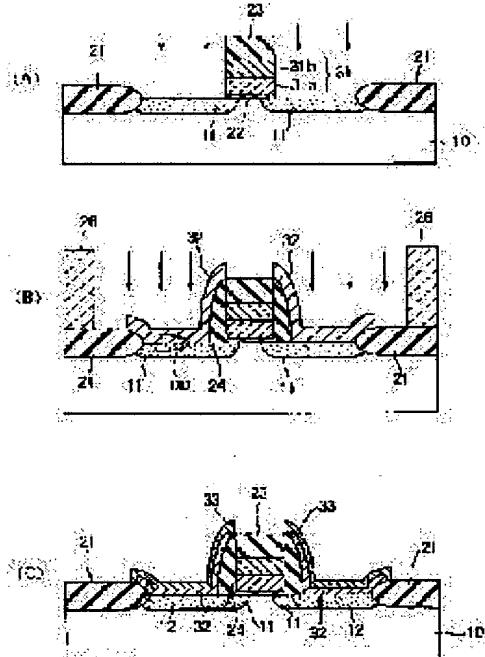
Priority number : 07298396 Priority date : 16.11.1995 Priority country : JP

## (54) SEMICONDUCTOR DEVICE AND ITS FABRICATION METHOD

(57)Abstract:

**PROBLEM TO BE SOLVED:** To reduce the increase of resistance by doping source/drain impurity ion into the vicinity of an interface between a source/drain stacked silicon layer on a substrate and the substrate to deposit metal on the stacked silicon layer, and reacting the metal and the stacked silicon layer to form silicide.

**SOLUTION:** After a field oxide film 21 is formed on a substrate 10, a gate oxide film 22 is formed, followed by patterning and etching to form a iminate of a gate electrode 31 and an offset insulating film 23. Then, a side wall spacer 24 is formed on the side of the gate electrode 31, on which spacer 24 a stacked silicon layer 32 is formed. Source/drain impurity ion is doped such that impurity concentration distribution has a peak located in the vicinity of an interface between the stacked silicon layer 32 and the substrate 10, and metal is deposited on the stacked silicon layer 32 in which the impurity is doped, followed by annealing to form silicide 33.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's

decision of rejection]

[Date of extinction of right]

Copyright (C) 1998,2003 Japan Patent Office

## SEMICONDUCTOR DEVICE AND ITS FABRICATION METHOD

### \* NOTICES \*

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

### CLAIMS

---

#### [Claim(s)]

[Claim 1] The process which accumulates on the front face which should form the source drain of a substrate, and forms a silicon layer, As opposed to this \*\*\*\* raising silicon layer corresponding to n mold impurity formation field of a source drain The process which performs the ion implantation of the impurity for source drains so that the peak of an impurity atom concentration profile may be located near the interface of this \*\*\*\* raising silicon layer and a substrate, The manufacture approach of the semiconductor device characterized by having the process which a metal and a polish recon layer are made to react and forms silicide after [ which introduced this impurity ] accumulating and depositing a metal on a silicon layer.

[Claim 2] The manufacture approach of a semiconductor device according to claim 1 of performing the ion implantation of the impurity for source drains to this \*\*\*\* raising silicon layer corresponding to p mold impurity formation field of a source drain so that the peak of an impurity atom concentration profile may be located in this \*\*\*\* raising silicon layer.

[Claim 3] The manufacture approach of a semiconductor device according to claim 1 of having the process which makes amorphous the front face of this \*\*\*\* raising polish recon layer before accumulating the account of a top and depositing a metal on a polish recon layer.

[Claim 4] The manufacture approach of the semiconductor device according to claim 3 which accumulates by the ion implantation and makes the front face of a polish recon layer amorphous.

[Claim 5] The manufacture approach of a semiconductor device according to claim 1 of having the process which performs annealing after accumulating the account of a top and performing the ion implantation for source drains in a polish recon layer.

[Claim 6] The manufacture approach of a semiconductor device according to claim 1 of performing annealing after accumulating the account of a top and forming silicide in a polish recon layer.

[Claim 7] The manufacture approach of a semiconductor device according to claim 1 that the metal which forms silicide is titanium.

[Claim 8] The semiconductor device with which the impurity diffused layer of n mold source drain has an ion implantation and the structure which accumulate the account of a top and the solid phase diffusion from a silicon layer comes to form while having the structure of accumulating on a source drain and connecting a source drain and a wiring layer through the layered product of a silicon layer and silicide.

---

## DETAILED DESCRIPTION

---

### [Detailed Description of the Invention]

#### [0001]

[Field of the Invention] This invention relates to the manufacture approach of a semiconductor device and this semiconductor device which can form the stable silicide in the so-called EREBETEDDO source drain type which prepares a silicon layer in the source drain of a substrate of semiconductor device.

#### [0002]

[Description of the Prior Art] In the CMOS device after 0.25 micrometer of recent years, shallow junction formation is important. It is especially p+. In the source drain layer, a polish recon layer is accumulated on a source drain, it accumulates, an ion implantation is carried out to a polish recon layer, solid phase diffusion is carried out by subsequent heat treatment (annealing), and this method of realizing shallow junction is devised.

[0003] By combining Ti Salicide (silicide) with this approach, the further reduction in resistance is possible. However, when these solid phase diffusion and Ti Salicide are combined, the thin line effectiveness of Ti Salicide obtained since it accumulates and reacts with a polish recon layer that the impurity was introduced, and thermal resistance are considered to be the same as that of single crystal silicon, and a metal is 0.3 micrometers or less n+. In a diffusion field, stable Ti Salicide (silicide) formation

cannot be performed, but there is a possibility that resistance may go up.

[0004] This invention was made in view of the above-mentioned situation, and aims at offering the manufacture approach of the semiconductor device which can perform stable silicide formation in the semiconductor device which accumulated the account of a top and combined a polish recon layer and silicide. Moreover, this invention aims at offering the semiconductor device with which it accumulated the account of a top and a polish recon layer and stable silicide were put together.

[0005]

[Means for Solving the Problem] The process which this invention accumulates on the front face which should form the source drain of a substrate in order to attain the above-mentioned purpose, and forms a silicon layer, As opposed to this \*\*\*\* raising silicon layer corresponding to n mold impurity formation field of a source drain The process which performs the ion implantation of the impurity for source drains so that the peak of an impurity atom concentration profile may be located near the interface of this \*\*\*\* raising silicon layer and a substrate, After [ which introduced this impurity ] accumulating and depositing a metal on a silicon layer, the manufacture approach of the semiconductor device characterized by having the process which a metal and a polish recon layer are made to react and forms silicide is offered.

[0006] In this case, it is desirable to perform the ion implantation of the impurity for source drains to this \*\*\*\* raising silicon layer corresponding to p mold impurity formation field of a source drain, so that the peak of an impurity atom concentration profile may be located in this \*\*\*\* raising silicon layer. Moreover, before accumulating the account of a top and depositing a metal on a polish recon layer, it is desirable to have the process which makes amorphous the front face of this \*\*\*\* raising polish recon layer.

[0007] An ion implantation can perform this amorphous-ization. Moreover, in the manufacture approach of the above-mentioned semiconductor device, it is desirable to perform annealing, after accumulating the account of a top and performing the ion implantation for source drains in a polish recon layer.

[0008] Furthermore, in the manufacture approach of the above-mentioned semiconductor device, it is desirable to perform annealing, after accumulating the account of a top and forming silicide in a polish recon layer. Moreover, it is desirable to use as titanium the metal which forms silicide by the manufacture approach of the above-mentioned semiconductor device.

[0009] This invention offers the semiconductor device with which the impurity diffused layer of n mold source drain has an ion implantation and the structure which

accumulate the account of a top and the solid phase diffusion from a silicon layer comes to form while having the structure of accumulating on a source drain further and connecting a source drain and a wiring layer through the layered product of a silicon layer and silicide.

[0010] The manufacture approach of the semiconductor device of this invention is an approach of performing stable silicide formation by accumulating and optimizing the ion notes entry condition to a polish recon layer, the account of a top. Namely, n+ of a source drain To this \*\*\*\* raising silicon layer corresponding to a formation field, the ion implantation of the impurity for source drains is performed so that the peak of an impurity atom concentration profile may be located near the interface of this \*\*\*\* raising silicon layer and a substrate. Since accumulate, high impurity concentration of the front face of a silicon layer can be made low by this, a surface silicon layer with few this impurity reacts with a metal and silicide is formed, stable silicide formation is attained and fear of a resistance rise decreases.

[0011] In this case, it is desirable to perform annealing after the ion implantation of the above-mentioned impurity, and to form junction of a source drain. Moreover, it is desirable to accumulate, to make the front face of a silicon layer amorphous, and to enable a better reaction with a metal before silicide formation.

[0012] Furthermore, after forming silicide, RTA (Rapid Thermal Anneal) etc. performs annealing, low resistance is made to form by carrying out the phase change of the silicide, thereby still more uniform silicide can be formed, and reduction of the thin line effectiveness and heat-resistant improvement are attained.

[0013] According to the above-mentioned approach, the structure of accumulating on a source drain and connecting a source drain and a wiring layer through the layered product of a silicon layer and silicide, and the semiconductor device, with which the impurity diffused layer of n mold source drain has an ion implantation and the structure which accumulate the account of a top and the solid phase diffusion from a silicon layer comes to form can be obtained.

[0014]

[Embodiment of the Invention] Hereafter, the gestalt of operation of this invention is explained concretely. The manufacture approach of the semiconductor device of this invention manufactures the semiconductor device of the metal-oxide-semiconductor structure which has the silicide which was fundamentally formed on the source drain as shown in drawing 3, and which accumulated and was formed in a silicon layer and its front face.

[0015] The gate electrode 31 is formed in the field of the substrate 10 with which this

semiconductor device was divided by field oxide 21 through gate oxide 21. On it, the laminating of the offset insulator layer 23 is carried out, and the insulating sidewall spacer 24 is formed in a flank, and the gate electrode 31 is covered with these insulating layers. The source drain 12 which is LDD11 and the high concentration impurity diffused layer which are a low concentration impurity diffused layer is formed in the substrate 10. On the substrate of the source drain 12, it accumulates and the laminating conductive layer of the polish recon layer 32 and Ti silicide layer 33 is formed. moreover, an interlayer insulation film 24 covers and forms a substrate side -- having -- \*\*\*\* -- this interlayer insulation film -- the blanket tungsten 34 -- CHITANSA LISA -- the id -- it is embedded in the condition of having penetrated in the layer 33, and the wiring layers 35, such as aluminum, are connected to this blanket tungsten 34. [0016] In the structure of this invention, p mold source drain 12 is mainly accumulated, and is formed of the solid phase diffusion from the polish recon layer 32, and n mold source drain 12 is accumulated with an ion implantation, and is formed of the solid phase diffusion from a polish recon layer.

[0017] This semiconductor device can perform shallow junction formation, and, moreover, the reduction in resistance is possible for it. Moreover, when accumulating and carrying out patterning of the diffusion layer, using as a partial wiring layer is possible, and it becomes reducible [ cell size ]. Next, the manufacture process is explained concretely.

[the 1st process] -- as shown in drawing 1 (A), after forming field oxide 21 in a substrate 10 first, gate oxide 22 with a thickness of about 10nm is formed, and then a reduced pressure CVD method is used, for example, about 100nm polish recon 31a is deposited at 610 degrees C. Then, WSix By the CVD method, for example, a gas system is WF6+SiH4 about film 31b. Use, about 100nm is made to deposit and it considers as polycide structure. subsequently, the resist of the gate electrode after depositing an insulator layer -- for example, after about 1 micrometer's forming membranes and performing patterning, it etches after etching an oxide film using the etcher (for example, a gas system is Cl2+O2 and HBr+O2) of an ECR system by the oxide film etcher (for example, : a gas system CHF3 / CF4 / Ar) of a magnetron system, and processing formation of the layered product of the gate electrode 31 and the offset insulator layer 23 is carried out. Subsequently, it is an impurity ion implantation for LDD n+ and p+ It both carries out and the low concentration impurity diffused layer 11 for LDD is formed. in this case, p+ as a \*\* -- B+ and BF2+ using -- energy -- 5 - 50kev and dose -- 1x1013 to 1x1014/cm2 Extent and n+ as a \*\* -- As+ etc. -- it uses, and energy can adopt 10 - 40kev and dose can adopt about 1x1013 to 1x1014/cm

conditions.

[0018] next, it is shown in drawing 1 (B) -- as -- ordinary pressure or a reduced pressure CVD method -- SiO<sub>2</sub> etc. -- after depositing an insulating layer and performing patterning using a lithography process, the about 0.1-0.15-micrometer sidewall spacer 24 is formed in the flank of the gate electrode 31 by using and carrying out whole surface etchback of the etcher (for example, a gas system being CHF<sub>3</sub> / CF<sub>4</sub> / Ar) of a magnetron system. Subsequently, with a reduced pressure CVD method etc., after depositing 610 degrees C for example, of about 50nm of polish recons, patterning of a resist is performed using a lithography process, after that, patterning of the polish recon layer is carried out using the etcher (for example, a gas system is Cl<sub>2</sub>+O<sub>2</sub> and HBr+O<sub>2</sub>) of an ECR system, it accumulates on a source drain formation schedule field (active field) and a sidewall 24, and the polish recon layer 32 is formed. Moreover, to the field which does not introduce an impurity, it covers by the resist 26.

[0019] Then, the ion implantation of a source drain is performed. n+ To a source drain field, as shown in drawing 1 (B), it accumulates, and an impurity atom concentration profile DD is adjusted so that the peak of an ion implantation may come the polish recon layer 32 and page [ of a substrate / 10th ] near the interface. concrete conditions -- for example, P<sup>+</sup> and As<sup>+</sup> using -- the case of As -- for example, the range of energy 40-150kev -- desirable -- 100kev extent and 1x10<sup>16</sup> to 1x10<sup>14</sup>/of dose cm<sup>2</sup> It carries out by whenever [ extent and incident angle / of 0 times ]. High impurity concentration is lessened as much as possible, and stable silicide formation is attained at the part of the front face which serves as silicide formed behind by this.

[0020] Moreover, p+ To a source drain, an ion implantation is performed to the appearance which accumulates an impurity atom concentration profile and is located in the polish recon layer 32. concrete -- BF<sub>2</sub><sup>+</sup> energy 20-60kev -- desirable -- 40kev extent and 1x10<sup>16</sup> to 1x10<sup>14</sup>/of dose cm<sup>2</sup> It can carry out with extent.

[0021] Then, as shown in drawing 1 (C), a resist 26 is exfoliated, it is 1000 degrees C - 1100 degrees C and the conditions for 10 seconds about RTA, or 800-900 degrees C (Furnace Anneal) of FA are performed about 10 minutes. And after accumulating by BHF (buffered fluoric acid), DHF (rare fluoric acid), etc. and removing the oxide film of polish recon layer 32 front face, metals, such as Ti, are made to deposit with the sputtering method or a CVD method. Then, 650 degrees C and annealing for about 30 seconds are performed under nitrogen-gas-atmosphere mind, for example, Ti Salicide 33 formation is performed. In this case, by reacting with a metal and accumulating, since the high impurity concentration of the surface part of the polish recon layer 32 is low, equalization of a reaction is promoted. Subsequently, it soaks about 10 minutes by

SCl (ammonia filtered water), selective etching is performed, and unreacted titanium is removed. Then, in order to carry out a phase change to C54, 800 degrees C and the RTA processing for 30 seconds are made to perform and form into low resistance. Moreover, the source drain 12 is formed.

[0022] in addition, not two-step annealing but a breath -- 750 degrees C - 850 degree-C annealing for 30 seconds -- carrying out -- the CHITANSA LISA of C54 -- it is also possible to form the id. Thereby, the semiconductor device of structure as shown in drawing 1 (C) can be obtained. This semiconductor device is n+. It accumulates on the source drain 12 and low resistance-ization is attained by the combination of the polish recon layer 32 and Ti Salicide 33. In this case, since uniform Ti Salicide 33 is formed, reduction of the thin line effectiveness and heat-resistant improvement are attained. Moreover, when accumulating and carrying out patterning of the polish recon layer, using as partial wiring is possible and it becomes reducible [ cell size ]. For this reason, the application to the CMOS device after 0.25 micrometer etc. is effective. Although the [2nd process] book process is the same as the 1st process of the above, before accumulating the metal which forms silicide and depositing on a polish recon layer, the process which accumulates and makes the front face of a polish recon layer amorphous is added. Drawing 2 explains this example.

[0023] The process which results in drawing 2 (A) is n+ after being the same as that of drawing 1 (B), accumulating and forming the polish recon layer 32. The ion implantation of a source drain is performed. In this case, as shown in drawing 2 (A), an ion implantation is performed on the same conditions as an example 1 so that it may accumulate and the peak of an impurity atom concentration profile DD may come near the interface of a polish recon layer and a substrate.

[0024] Moreover, p+ after exfoliating a resist 26 p+ after performing and carrying out after [ resist formation ] patterning of the photolithography for source drains The ion implantation of a source drain is performed. In this case, shallow junction is aimed at and accumulated and the peak of an impurity atom concentration profile is located in a polish recon layer. Concrete conditions are the same as an example 1.

[0025] next, the whole surface -- Si+, As+, and Sb+ etc. -- ion -- using -- accumulating -- a polish recon layer -- an ion implantation is performed very much on a front face. Thereby, it can accumulate and amorphous layer 32a can be formed near the front face of a polish recon layer. The conditions in this case are As+. Energy 40kev, 1x10<sup>14</sup> to 1x10<sup>15</sup>/of douse cm<sup>2</sup> Extent and Si+ Energy 10 - 40kev, 1x10<sup>14</sup> to 5x10<sup>15</sup>/of douse cm<sup>2</sup> The conditions of extent are employable.

[0026] Then, after accumulating by BHF, DHF, etc. and removing the oxide film of

polish recon layer 32 front face, metals, such as Ti, are made to deposit with sputtering or a CVD method. Then, 650 degrees C and annealing for about 30 seconds are performed under nitrogen-gas-atmosphere mind, for example, Ti Salicide 33 formation is performed. And subsequently, it attaches about 10 minutes by SCl (ammonia filtered water), selective etching is performed, and unreacted titanium is removed. Then, in order to carry out a phase change to C54, 800 degrees C and the RTA processing for 30 seconds are made to perform and form into low resistance.

[0027] Moreover, the source drain 12 is formed. In this case, in n mold field, the impurity was introduced by an ion implantation and its ion implantation, and it accumulates by them, and is formed of both of the solid phase diffusion from a silicon layer, and in p mold field, the impurity was introduced by the ion implantation, and it accumulates mainly by it, and is formed of the solid phase diffusion from a silicon layer.

[0028] in addition, Si+ after accumulating the above-mentioned metal and depositing on a polish recon layer and As+ etc. -- it is also effective to perform an ion implantation near Ti / the polish recon interface, and to mix these interfaces using ion. the conditions in this case -- Si+ a case -- energy 20 - 50kev, and one to 5x10<sup>15</sup>/of douse cm<sup>2</sup> Extent and As+ a case -- energy 50 - 150kev, and one to 5x10<sup>15</sup>/of douse cm<sup>2</sup> It can carry out with extent.

[0029] moreover, not two-step annealing but a breath -- 750 degrees C - 850 degree-C annealing for 30 seconds -- carrying out -- the CHITANSA LISA of C54 -- it is also possible to form the id. since it is made to react with titanium after accumulating and making the surface layer of a polish recon layer amorphous in this example -- CHITANSA LISA possible [ a more uniform reaction ] and more uniform -- the id can be formed and reduction of the further thin line effectiveness and heat-resistant improvement are possible.

[0030]

[Effect of the Invention] According to the manufacture approach of the semiconductor device of this invention, it was formed on the source drain, and accumulates, uniform silicide formation is possible on a silicon layer, and reduction of the thin line effectiveness and heat-resistant improvement are possible.

[0031] Moreover, the semiconductor device of this invention is accumulated on a source drain, the layered product of a silicon layer and silicide is formed, and since this silicide is stable, reduction of the thin line effectiveness and heat-resistant improvement are attained.

[Brief Description of the Drawings]

[Drawing 1] (A) - (C) is the flow chart of the 1st process of the manufacture approach of the semiconductor device of this invention.

[Drawing 2] (A) - (C) is the flow chart of the 2nd process of the manufacture approach of the semiconductor device of this invention.

[Drawing 3] It is the sectional view showing an example of the structure of a semiconductor device which has the silicide which accumulated and was formed in a silicon layer and its front face.

[Description of Notations]

11 LDD

12 Source Drain

31 Gate Electrode

32 Accumulate and it is Silicon Layer.

32a Surface amorphous layer

33 Silicide

DD Impurity atom concentration profile

**Abstract:**

**PROBLEM TO BE SOLVED:** To reduce the increase of resistance by doping source/drain impurity ion into the vicinity of an interface between a source/drain stacked silicon layer on a substrate and the substrate to deposit metal on the stacked silicon layer, and reacting the metal and the stacked silicon layer to form silicide.

**SOLUTION:** After a field oxide film 21 is formed on a substrate 10, a gate oxide film 22 is formed, followed by patterning and etching to form a laminate of a gate electrode 31 and an offset insulating film 23. Then, a side wall spacer 24 is formed on the side of the gate electrode 31, on which spacer 24 a stacked silicon layer 32 is formed. Source/drain impurity ion is doped such that impurity concentration distribution has a peak located in the vicinity of an interface between the stacked silicon layer 32 and the substrate 10, and metal is deposited on the stacked silicon layer 32 in which the impurity is doped, followed by annealing to form silicide 33.

[Translation done.]

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平9-199610

(43)公開日 平成9年(1997)7月31日

(51) Int.Cl. <sup>6</sup>	識別記号	序内整理番号	F I	技術表示箇所
H 01 L 21/8238			H 01 L 27/08	3 2 1 E
27/092			21/28	3 0 1 T
21/28	3 0 1		29/78	3 0 1 S
29/78				

審査請求 未請求 請求項の数8 O.L (全 6 頁)

(21)出願番号	特願平8-21254
(22)出願日	平成8年(1996)2月7日
(31)優先権主張番号	特願平7-298396
(32)優先日	平7(1995)11月16日
(33)優先権主張国	日本 (J P)

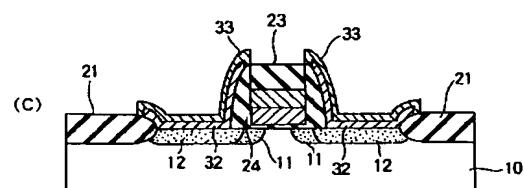
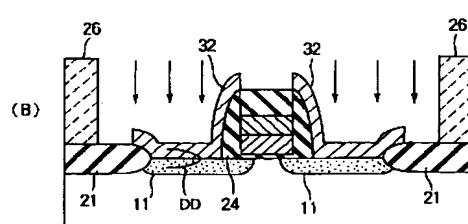
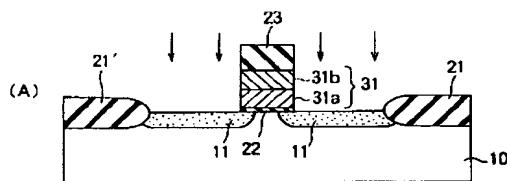
(71)出願人	000002185 ソニー株式会社 東京都品川区北品川6丁目7番35号
(72)発明者	田島 和浩 東京都品川区北品川6丁目7番35号 ソニ ー株式会社内
(74)代理人	弁理士 佐藤 隆久

(54)【発明の名称】 半導体装置及びその製造方法

(57)【要約】

【課題】ソース・ドレイン上に積み上げポリシリコン層とその上に形成されるシリサイドとを組み合わせた半導体装置における安定なシリサイド形成ができる半導体装置とその製造方法を提供する。

【解決手段】ソース・ドレイン12のn<sup>+</sup>形成領域に対応する積み上げシリコン層32を形成し、この積み上げシリコン層32に対して、積み上げシリコン層32と基板10との界面近傍に不純物濃度分布DDのピークが位置するようにソース・ドレイン用の不純物のイオン注入を行う。その後、シリサイドを形成する。



## 【特許請求の範囲】

【請求項1】基板のソース・ドレインを形成すべき表面上に積み上げシリコン層を形成する工程と、ソース・ドレインのn型不純物形成領域に対応する該積み上げシリコン層に対して、該積み上げシリコン層と基板との界面近傍に不純物濃度分布のピークが位置するようにソース・ドレイン用の不純物のイオン注入を行う工程と、

該不純物を導入した積み上げシリコン層に金属を堆積した後、金属とポリシリコン層とを反応させてシリサイドを形成する工程とを有することを特徴とする半導体装置の製造方法。

【請求項2】ソース・ドレインのp型不純物形成領域に対応する該積み上げシリコン層に対して、該積み上げシリコン層中に不純物濃度分布のピークが位置するようにソース・ドレイン用の不純物のイオン注入を行う請求項1記載の半導体装置の製造方法。

【請求項3】上記積み上げポリシリコン層に金属を堆積する前に、該積み上げポリシリコン層の表面を非晶質化する工程を有する請求項1記載の半導体装置の製造方法。

【請求項4】イオン注入により積み上げポリシリコン層の表面を非晶質化する請求項3記載の半導体装置の製造方法。

【請求項5】上記積み上げポリシリコン層にソース・ドレイン用のイオン注入を行った後、アニーリングを行う工程を有する請求項1記載の半導体装置の製造方法。

【請求項6】上記積み上げポリシリコン層にシリサイドを形成した後、アニーリングを行う請求項1記載の半導体装置の製造方法。

【請求項7】シリサイドを形成する金属がチタンである請求項1記載の半導体装置の製造方法。

【請求項8】ソース・ドレイン上の積み上げシリコン層とシリサイドとの積層体を介してソース・ドレインと配線層とを接続する構造を有すると共に、n型ソース・ドレインの不純物拡散層がイオン注入及び上記積み上げシリコン層からの固層拡散によって形成されてなる構造を有する半導体装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、基板のソース・ドレインにシリコン層を設けるいわゆるエレベーテッドソース・ドレイン型の半導体装置における安定なシリサイドを形成できる半導体装置の製造方法及び該半導体装置に関する。

## 【0002】

【従来の技術及び発明が解決しようとする課題】近年の0.25μm以下CMOSデバイスにおいては、浅い接合形成が重要となっている。特にp<sup>+</sup>ソース・ドレイン層においては、ポリシリコン層をソース・ドレイン上

に積み上げ、この積み上げポリシリコン層にイオン注入し、その後の熱処理（アニーリング）で固層拡散させ、浅い接合を実現する方法が考案されている。

【0003】この方法にTiサリサイド（シリサイド）を組み合わせることで、更なる低抵抗化が可能である。しかしながら、これらの固層拡散とTiサリサイドとを組み合わせると、金属は、不純物が導入された積み上げポリシリコン層と反応するので、得られるTiサリサイドの細線効果、耐熱性については単結晶シリコンと同様と考えられ、0.3μm以下のn<sup>+</sup>拡散領域では、安定なTiサリサイド（シリサイド）形成ができず、抵抗が上昇するおそれがある。

【0004】本発明は、上記事情に鑑みなされたもので、上記積み上げポリシリコン層とシリサイドとを組み合わせた半導体装置における安定なシリサイド形成ができる半導体装置の製造方法を提供することを目的とする。また、本発明は、上記積み上げポリシリコン層と安定なシリサイドとが組み合わされた半導体装置を提供することを目的とする。

## 【0005】

【課題を解決するための手段】本発明は、上記目的を達成するため、基板のソース・ドレインを形成すべき表面上に積み上げシリコン層を形成する工程と、ソース・ドレインのn型不純物形成領域に対応する該積み上げシリコン層に対して、該積み上げシリコン層と基板との界面近傍に不純物濃度分布のピークが位置するようにソース・ドレイン用の不純物のイオン注入を行う工程と、該不純物を導入した積み上げシリコン層に金属を堆積した後、金属とポリシリコン層とを反応させてシリサイドを形成する工程とを有することを特徴とする半導体装置の製造方法を提供する。

【0006】この場合、ソース・ドレインのp型不純物形成領域に対応する該積み上げシリコン層に対して、該積み上げシリコン層中に不純物濃度分布のピークが位置するようにソース・ドレイン用の不純物のイオン注入を行なうことが好ましい。また、上記積み上げポリシリコン層に金属を堆積する前に、該積み上げポリシリコン層の表面を非晶質化する工程を有することが好ましい。

【0007】この非晶質化は、イオン注入により行なうことができる。また、上記半導体装置の製造方法において、上記積み上げポリシリコン層にソース・ドレイン用のイオン注入を行なった後、アニーリングを行うことが好ましい。

【0008】更に、上記半導体装置の製造方法において、上記積み上げポリシリコン層にシリサイドを形成した後、アニーリングを行うことが好ましい。また、上記半導体装置の製造方法では、シリサイドを形成する金属をチタンとすることが好ましい。

【0009】本発明は、更にソース・ドレイン上の積み上げシリコン層とシリサイドとの積層体を介してソース

・ドレインと配線層とを接続する構造を有すると共に、n型ソース・ドレインの不純物拡散層がイオン注入及び上記積み上げシリコン層からの固層拡散によって形成されてなる構造を有する半導体装置を提供する。

【0010】本発明の半導体装置の製造方法は、上記積み上げポリシリコン層に対するイオン注入条件を最適化することで安定なシリサイド形成を行う方法である。即ち、ソース・ドレインのn<sup>+</sup>形成領域に対応する該積み上げシリコン層に対して、該積み上げシリコン層と基板との界面近傍に不純物濃度分布のピークが位置するようにソース・ドレイン用の不純物のイオン注入を行う。これにより、積み上げシリコン層の表面の不純物濃度を低くでき、この不純物が少ない表面シリコン層が金属と反応してシリサイドを形成するので、安定なシリサイド形成が可能となり、抵抗上昇のおそれは少なくなる。

【0011】この場合、上記不純物のイオン注入後、アニーリングを行い、ソース・ドレインの接合を形成することが好ましい。また、シリサイド形成前に、積み上げシリコン層の表面を非晶質化し、金属とのより良好な反応を可能にすることが好ましい。

【0012】更に、シリサイドを形成した後、RTA (Rapid Thermal Anneal) 等によりアニーリングを行い、シリサイドを相変化させることで低抵抗化させ、これにより更に均一なシリサイドが形成でき、細線効果の低減、耐熱性の向上が可能となる。

【0013】上記方法によれば、ソース・ドレイン上の積み上げシリコン層とシリサイドとの積層体を介してソース・ドレインと配線層とを接続する構造と、n型ソース・ドレインの不純物拡散層がイオン注入及び上記積み上げシリコン層からの固層拡散によって形成されてなる構造とを有する半導体装置を得ることができる。

#### 【0014】

【発明の実施の形態】以下、本発明の実施の形態について具体的に説明する。本発明の半導体装置の製造方法は、基本的には、例えば図3に示すような、ソース・ドレインの上に形成された積み上げシリコン層とその表面に形成されたシリサイドとを有するMOS構造の半導体装置を製造するものである。

【0015】この半導体装置は、フィールド酸化膜21で区画された基板10の領域に、ゲート電極31がゲート酸化膜21を介して設けられている。そのゲート電極31は、その上にはオフセット絶縁膜23が積層され、また、側部には絶縁性のサイドウォールスペーサ24が形成され、これらの絶縁層で被覆されている。基板10には低濃度不純物拡散層であるLDD11と高濃度不純物拡散層であるソース・ドレイン12が形成されている。ソース・ドレイン12の基板の上には、積み上げポリシリコン層32とTiシリサイド層33の積層導電層が形成されている。また、層間絶縁膜24が基板面を覆って形成されており、この層間絶縁膜にはブランケット

タンクステン34がチタンサリサイド層33に貫通した状態で埋め込まれ、このブランケットタンクステン34にはアルミニウムなどの配線層35が接続されている。

【0016】本発明の構造においては、p型ソース・ドレイン12は、主として積み上げポリシリコン層32からの固層拡散によって形成され、n型ソース・ドレイン12は、イオン注入と積み上げポリシリコン層からの固層拡散によって形成されている。

【0017】この半導体装置は、浅い接合形成ができ、しかも低抵抗化が可能である。また、積み上げ拡散層をパターニングするときに、局所配線層として用いることが可能であり、セルサイズの縮小が可能となる。次に、具体的に、その製造プロセスを説明する。

【第1のプロセス】まず、図1(A)に示すように、基板10にフィールド酸化膜21を形成した後、例えば10nm程度の厚さのゲート酸化膜22を形成し、次に減圧CVD法を用いて、例えばポリシリコン31aを610℃で100nm程度堆積する。その後、WSi<sub>x</sub>膜31bをCVD法により、例えばガス系はWF<sub>6</sub>+SiH<sub>4</sub>を用いて100nm程度堆積させ、ポリサイド構造とする。次いで絶縁膜を堆積した後、ゲート電極のレジストを例えば1μm程度成膜し、パターニングを行った後、マグネットロン系の酸化膜エッチャ (例えばガス系はCHF<sub>3</sub>/CF<sub>4</sub>/Ar) で酸化膜をエッティング後、ECR系のエッチャ (例えばガス系はC1<sub>2</sub>+O<sub>2</sub>, HBr+O<sub>2</sub>) を用いてエッティングを行い、ゲート電極31とオフセット絶縁膜23との積層体を加工形成する。次いで、LDD用の不純物イオン注入をn<sup>+</sup>、p<sup>+</sup>共に行い、LDD用の低濃度不純物拡散層11を形成する。この場合、p<sup>+</sup>用としては、B<sup>+</sup>, BF<sub>2</sub><sup>+</sup>を用いて、エネルギーは5~50keV、ドーズは1×10<sup>13</sup>~1×10<sup>14</sup>/cm<sup>2</sup>程度、n<sup>+</sup>用としては、As<sup>+</sup>等を用い、エネルギーは10~40keV、ドーズは1×10<sup>13</sup>~1×10<sup>14</sup>/cm<sup>2</sup>程度の条件を採用することができる。

【0018】次に、図1(B)に示すように、常圧又は減圧CVD法などでSiO<sub>2</sub>等の絶縁層を堆積した後、リソグラフィー工程を用いてパターニングを行った後に、マグネットロン系のエッチャ (例えばガス系はCHF<sub>3</sub>/CF<sub>4</sub>/Ar等) を用いて、全面エッチバックすることにより、ゲート電極31の側部に、0.1~0.15μm程度のサイドウォールスペーサ24を形成する。次いで、減圧CVD法などで例えばポリシリコンを、610℃、50nm程度堆積した後、リソグラフィー工程を用いてレジストのパターニングを行い、その後、ECR系のエッチャ (例えばガス系は、C1<sub>2</sub>+O<sub>2</sub>, HBr+O<sub>2</sub>) を用いてポリシリコン層をパターニングして、ソース・ドレイン形成予定領域 (アクティブ領域) 及びサイドウォール24上に積み上げポリシリコン層32を形成する。また、不純物を導入しない領域

に対しては、レジスト 2 6 で覆つておく。

【0019】その後、ソース・ドレインのイオン注入を行う。 $n^+$  ソース・ドレイン領域に対しては、図 1 (B) に示すように、積み上げポリシリコン層 3 2 と基板 1 0 面との境界面近傍にイオン注入のピークがくるように不純物濃度分布 DD を調整する。具体的な条件は、例えば  $P^+$ 、 $As^+$  を用い、 $As$  の場合は、例えばエネルギー 4 0 ~ 1 5 0 keV の範囲、好ましくは 1 0 0 keV 程度、ドーズ  $1 \times 10^{16} \sim 1 \times 10^{14} / cm^2$  程度、0 度の入射角度で行う。これにより、後に形成されるシリサイドとなる表面の部分には、不純物濃度を可及的に少なくし、安定なシリサイド形成が可能となる。

【0020】また、 $p^+$  ソース・ドレインに対しては、不純物濃度分布を積み上げポリシリコン層 3 2 内に位置させる様にイオン注入を行う。具体的には、 $BF_2^+$  をエネルギー 2 0 ~ 6 0 keV、好ましくは 4 0 keV 程度、ドーズ  $1 \times 10^{16} \sim 1 \times 10^{14} / cm^2$  程度で行うことができる。

【0021】その後、図 1 (C) に示すように、レジスト 2 6 の剥離を行い、次に、例えば RTA を 1 0 0 0 °C ~ 1 1 0 0 °C、1 0 秒の条件で、又は FA (Furnace Anneal) を 8 0 0 ~ 9 0 0 °C、1 0 分程度行う。そして、BHF (バッファードフッ酸)、DHF (希フッ酸) 等で積み上げポリシリコン層 3 2 表面の酸化膜を除去した後、スパッタリング法又は CVD 法により、例えば Ti 等の金属を堆積させる。その後、窒素雰囲気下で 6 5 0 °C、3 0 秒程度のアニーリングを行い、例えば Ti サリサイド 3 3 形成を行う。この場合、金属と反応する積み上げポリシリコン層 3 2 の表面部分の不純物濃度は低いので、反応の均一化が促進される。次いで、SC 1 (アンモニア過水) で 1 0 分程度漬けて選択エッチングを行い、未反応のチタンを除去する。その後、C 5 4 へ相変化させるために、例えば 8 0 0 °C、3 0 秒の RTA 处理を行い、低抵抗化させる。また、ソース・ドレイン 1 2 が形成される。

【0022】なお、2 段階アニールではなく、一気に 7 5 0 °C ~ 8 5 0 °C 3 0 秒のアニールを行い、C 5 4 のチタンサリサイドを形成することも可能である。これにより、図 1 (C) に示すような構造の半導体装置を得ることができる。この半導体装置は、 $n^+$  ソース・ドレイン 1 2 の上の積み上げポリシリコン層 3 2 と Ti サリサイド 3 3 との組み合わせにより、低抵抗化が達成される。この場合、均一な Ti サリサイド 3 3 が形成されているので、細線効果の低減、耐熱性の向上が達成されている。また、積み上げポリシリコン層をパターニングするときに、局所配線として用いることが可能であり、セルサイズの縮小が可能となる。このため、0.25  $\mu m$  以降の CMOS デバイスへ等への適用が有効である。【第 2 のプロセス】本プロセスは、上記第 1 プロセスと同様であるが、シリサイドを形成する金属を積み上げポリシリ

コン層に堆積する前に、積み上げポリシリコン層の表面をアモルファス化する工程が加わっている。本例を図 2 で説明する。

【0023】図 2 (A) に至る工程は、図 1 (B) と同様であり、積み上げポリシリコン層 3 2 を形成した後、 $n^+$  ソース・ドレインのイオン注入を行う。この場合、図 2 (A) に示すように、積み上げポリシリコン層と基板との界面近傍に不純物濃度分布 DD のピークがくるように、実施例 1 と同様の条件でイオン注入を行う。

【0024】また、レジスト 2 6 を剥離した後、 $p^+$  ソース・ドレイン用のフォトリソグラフィを行い、レジスト形成後パターニングした後、 $p^+$  ソース・ドレインのイオン注入を行う。この場合、浅い接合をねらって、積み上げポリシリコン層中に不純物濃度分布のピークを位置させる。具体的な条件は、実施例 1 と同様である。

【0025】次に、全面に  $Si^+$ 、 $As^+$ 、 $Sb^+$  等のイオンを用いて積み上げポリシリコン層のごく表面にイオン注入を行う。これにより、積み上げポリシリコン層の表面近傍にアモルファス層 3 2 a を形成することができる。この場合の条件は、例えば  $As^+$  をエネルギー 4 0 keV、ドーズ  $1 \times 10^{14} \sim 1 \times 10^{15} / cm^2$  程度、 $Si^+$  をエネルギー 1 0 ~ 4 0 keV、ドーズ  $1 \times 10^{14} \sim 5 \times 10^{15} / cm^2$  程度の条件を採用することができる。

【0026】その後、BHF、DHF 等で積み上げポリシリコン層 3 2 表面の酸化膜を除去した後、スパッタリング又は CVD 法により、例えば Ti 等の金属を堆積させる。その後、窒素雰囲気下で 6 5 0 °C、3 0 秒程度のアニーリングを行い、例えば Ti サリサイド 3 3 形成を行う。そして、次いで、SC 1 (アンモニア過水) で 1 0 分程度付けて選択エッチングを行い、未反応のチタンを除去する。その後、C 5 4 へ相変化させるために、例えば 8 0 0 °C、3 0 秒の RTA 处理を行い、低抵抗化させる。

【0027】また、ソース・ドレイン 1 2 が形成される。この場合、 $n$  型領域ではイオン注入と、そのイオン注入によって不純物が導入された積み上げシリコン層からの固層拡散の両者によって形成され、 $p$  型領域では、主としてイオン注入によって不純物が導入された積み上げシリコン層からの固層拡散によって形成される。

【0028】なお、上記金属を積み上げポリシリコン層に堆積した後、 $Si^+$ 、 $As^+$  等のイオンを用いて、Ti / ポリシリコン界面近傍にイオン注入を行い、これらの界面をミキシングすることも有効である。この場合の条件は、 $Si^+$  の場合、エネルギー 2 0 ~ 5 0 keV、ドーズ  $1 \sim 5 \times 10^{15} / cm^2$  程度、 $As^+$  の場合、エネルギー 5 0 ~ 1 5 0 keV、ドーズ  $1 \sim 5 \times 10^{15} / cm^2$  程度で行うことができる。

【0029】また、2 段階アニールではなく、一気に 7 5 0 °C ~ 8 5 0 °C 3 0 秒のアニールを行い、C 5 4 のチ

タンサリサイドを形成することも可能である。本例においては、積み上げポリシリコン層の表面層をアモルファス化した後、チタンと反応させているので、より均一な反応が可能であり、より均一なチタンサリサイドが形成でき、更なる細線効果の低減、耐熱性の向上が可能である。

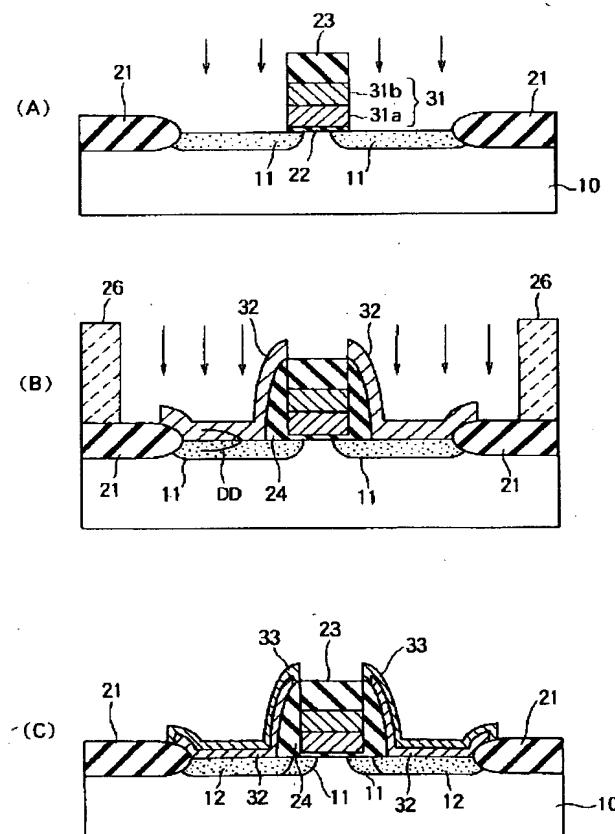
#### 【0030】

【発明の効果】本発明の半導体装置の製造方法によれば、ソース・ドレイン上に形成された積み上げシリコン層の上に、均一なシリサイド形成が可能であり、細線効果の低減、耐熱性の向上が可能である。

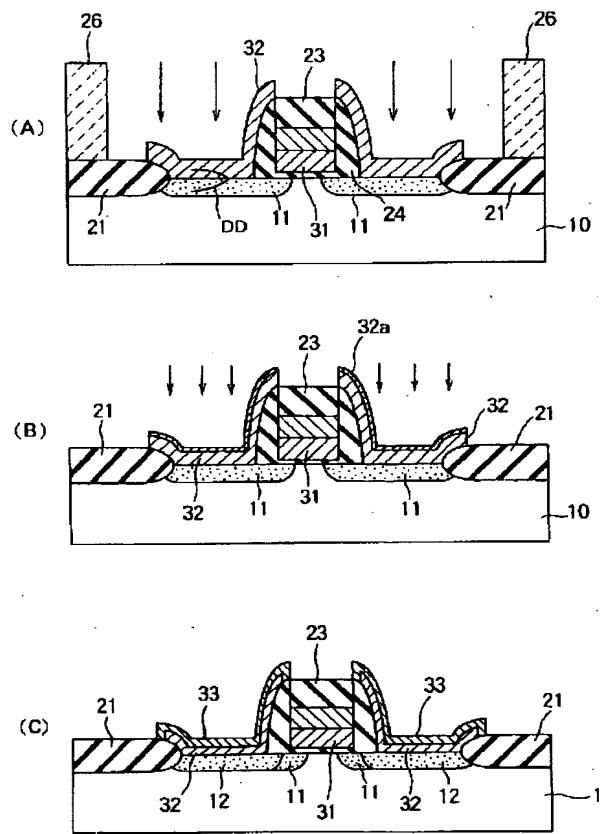
【0031】また、本発明の半導体装置は、ソース・ドレイン上に積み上げシリコン層とシリサイドとの積層体が形成され、このシリサイドが安定であるので、細線効果の低減、耐熱性の向上が達成されているものである。

#### 【図面の簡単な説明】

【図1】



【図2】



【図1】(A)～(C)は、本発明の半導体装置の製造方法の第1のプロセスのフローチャートである。

【図2】(A)～(C)は、本発明の半導体装置の製造方法の第2のプロセスのフローチャートである。

【図3】積み上げシリコン層とその表面に形成されたシリサイドとを有する半導体装置の構造の一例を示す断面図である。

#### 【符号の説明】

1 1	LDD
1 2	ソース・ドレイン
3 1	ゲート電極
3 2	積み上げシリコン層
3 2 a	表面アモルファス層
3 3	シリサイド
DD	不純物濃度分布

【図3】

